

II.1 Introduction:

Ce chapitre donne une présentation complète pour les cartes mémoires de série 24Cxx, nous parlerons en premier lieu du mémoire en général, les bus I2C et leur Protocol, les mémoires de type 24Cxx.

II.2 Les mémoires:

II.2.1 Mémoire Principale:

II.2.1 .1 Définition de mémoire:

Une mémoire est un circuit à semi-conducteur permettant d'enregistrer, de conserver et de restituer des informations (appelées données).

C'est cette capacité de mémorisation qui explique la polyvalence des systèmes numériques et leur adaptabilité à de nombreuses situations. Les données peuvent être lues ou écrites. Il y a écriture lorsqu'on enregistre des informations en mémoire et lecture lorsqu'on récupère des informations précédemment enregistrées.

II.2.1.2 Organisation et caractéristiques:

Une mémoire peut être décrite comme une armoire de rangement dont chaque tiroir constitue une case mémoire qui peut contenir un seul élément (généralement un octet ou bien un mot de longueur une puissance de 2, définit par la largeur du bus de données). Le nombre de case est alors élevé et il est nécessaire de pouvoir les repérer par un numéro appelé adresse.

Avec une adresse codée sur n bits, il est possible de référencer 2^n cases mémoire (défini par la largeur du bus d'adresses). En plus de ces 2 bus, un boîtier mémoire comporte une entrée de commande (pour sélectionner la lecture ou l'écriture) et une entrée de sélection (pour la mise en haute impédance des entrées/sorties du boîtier).

Une opération de lecture (écriture) suit le cycle d'instructions suivant :

- Sélection de l'adresse.
- Choix de l'opération à effectuer ($R=W$).
- Sélection de la mémoire ($CS = 0$).
- Lecture (écriture) de la donnée.

Les circuits de mémoire ne sont pas tous identiques. La différence se fait par leurs caractéristiques dont les principales sont :

La capacité: C'est le nombre total de bits que contient la mémoire (exprimé en Ko ou Mo).

Le format des données: Largeur (en bits ou octets) du mot mémorisable.

Le temps d'accès: Temps qui s'écoule entre l'instant où l'opération ($R=W$) est lancée l'instant où la donnée est effectivement disponible sur le bus de données. On parle alors d'accès direct et de temps d'accès constant (indépendant de l'adresse).

Le temps de cycle: Intervalle minimal qui sépare 2 demandes successives de lecture (ou écriture).

Le débit: Nombre maximum d'informations lues (ou écrites) par secondes.

La volatilité: Elle caractérise la permanence des informations dans la mémoire (donnée volatile si elle disparaît lors d'absence d'alimentation, non volatile dans le cas contraire).

Les critères de choix sont (principalement) la capacité, la vitesse, la consommation et le coût.

II.2.1.3 Mémoire vive (RAM):

- **Définition de RAM:**

Une mémoire vive (RAM: Random Access Memory) sert au stockage temporaire des données. Elle doit avoir un temps de cycle très court pour ne pas ralentir le microprocesseur.

Ces mémoires sont en général volatiles et sont divisées en 2 grandes familles: statiques et dynamiques. La mémoire statique (SRAM) est un composant dont chaque bit est constitué d'une bascule (contenant entre 4 et 6 transistors). Dans la mémoire dynamique (DRAM), l'information est mémorisée sous forme d'une charge électrique stockée dans un condensateur (transistor MOS), augmentant ainsi la capacité d'intégration et réduisant la consommation. Toutefois, l'inconvénient majeur réside dans l'obligation, pour les DRAM 5, d'un rafraîchissement périodique (pour compenser les courants de fuite du condensateur), ce qui impose une gestion plus complexe et un temps d'accès aux informations plus long. En général les DRAM sont utilisées pour la mémoire centrale alors que les SRAM sont plus adaptées aux mémoires cache et aux registres.

II.2.1.4 Mémoire morte (ROM):

- **Définition de ROM:**

Pour certaines applications, il est nécessaire de pouvoir conserver des informations de façon permanente même lorsque l'alimentation est interrompue. On utilise alors des mémoires non volatiles appelées mémoires mortes (ROM : Read Only Memory). La seule opération possible est une opération de lecture.

L'opération d'écriture (qui est possible) est appelée programmation. La méthode peut varier selon le type de ROM:

ROM: Elle est programmée par constructeur, son contenu est non modifiable. Sa densité d'intégration est élevée et elle est très rapide.

PROM: C'est une ROM programmable une seule fois par l'utilisateur et rapidement dont le coût est relativement faible.

EPROM: C'est une ROM reprogrammable (mais entièrement à chaque reprogrammation) et souvent (un millier de fois). L'écriture est toutefois plus lente (environ 1000 X) que sur une RAM.

EEPROM: C'est une EPROM améliorée car elle est effaçable électriquement mot par mot. L'utilisation en RAM est très lente et son coût de réalisation est relativement élevé.

FLASH EPROM: Communément appelée mémoire flash (clé USB, lecteur MP3, PDA, appareil photo numérique), c'est une EEPROM particulière basée sur 2 technologies (NOR : cellules en parallèle, bus d'adresse et de données dédiés ou NAND: cellules en série, interface d'E/S indirecte, implantation plus dense).

II.2.1.5 Hiérarchie:

Une mémoire « idéale » serait une mémoire de grande capacité, capable de stocker un maximum d'informations et possédant un temps d'accès très faible afin de pouvoir travailler rapidement sur ces informations. Toutefois, les mémoires à grande capacité sont lentes et les rapides sont chères.

C'est pourtant la vitesse d'accès de la mémoire qui conditionne grandement les performances globales d'un système. En effet, malgré un processeur à 3 GHz, une mémoire travaille environ à 400 MHz. On n'a jamais besoin de toutes les informations en même temps, on utilisera donc les spécificités de chaque type de mémoire de manière à optimiser les performances. On peut donc ainsi définir une hiérarchie des mémoires selon la figure suivante:

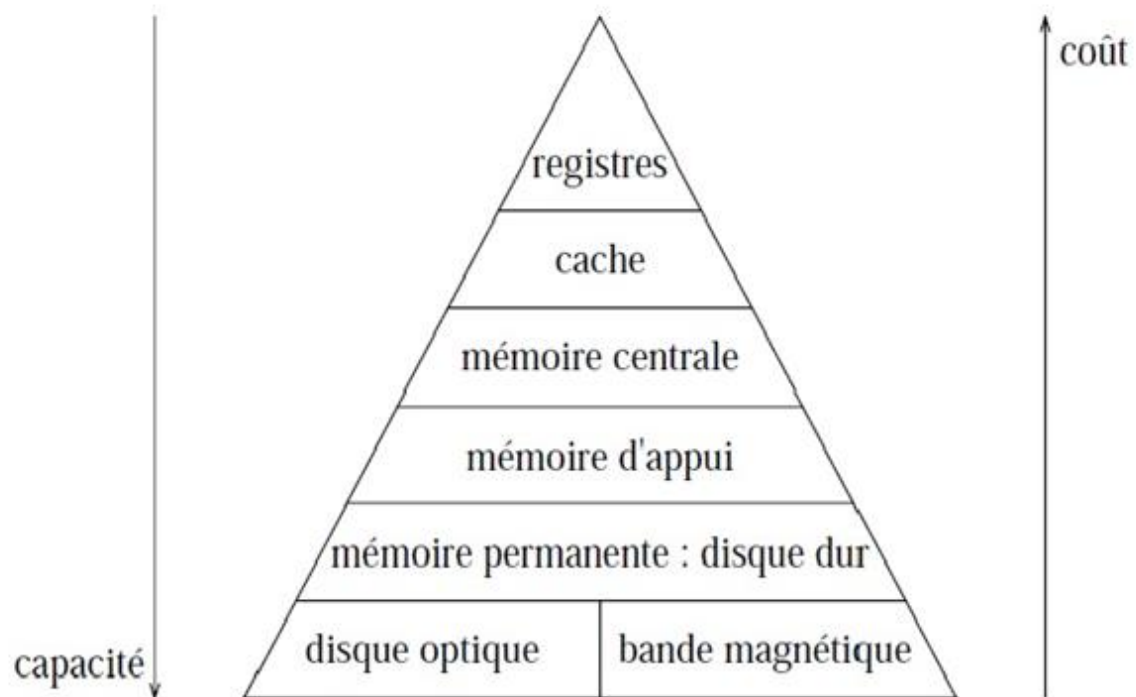


Figure (II.1): Hiérarchie mémoire.

On utilise les mémoires de faible capacité (très rapides) pour stocker des informations fréquemment utiles au microprocesseur tandis qu'on utilisera des mémoires à grande capacité (plus lentes) pour les informations moins utilisées par le microprocesseur. Ainsi, plus on s'éloigne du microprocesseur, plus la capacité et le temps d'accès des mémoires va augmenter.

I.2.2 Mémoires Secondaires:

Les besoins en capacité des mémoires augmentent considérablement (avec la taille des fichiers par exemple). On utilise alors des mémoires secondaires souvent appelées mémoire de masse en rapport avec la taille élevée de leur capacité. Il s'agit principalement des disques.

II.2.2.1 Disques magnétiques:

Un disque magnétique est constitué de plusieurs plateaux circulaires empilés et de plusieurs têtes de lecture/écriture. On distingue 2 catégories de disques magnétiques :

- **Disque dur** : Plateau métallique, tête de lecture électromagnétique flottante sur coussin d'air (disque Winchester).
- **Disque souple, disquette** : Plateau souple, tête en contact avec la surface.

Il existe deux différents standards de disque dur : IDE et SCSI qui utilisent les bus et contrôleurs d'interface du même nom. On peut aussi rajouter les disques RAID dont la technologie diffère et fait appel au parallélisme.

D'un point de vue physique, les disques durs possèdent une constitution particulière. Les plateaux tournent sous la tête à vitesse constante. Une piste est une zone circulaire délimitée correspondant à une rotation complète du plateau et sur laquelle sont enregistrés des séquences de bits. Cette piste est divisée en secteurs de taille fixe (généralement 512 octets). Plusieurs paramètres caractérisent les disques durs :

- Capacité (en Go).
- Temps de positionnement de la tête.
- Temps de latence : Il dépend de la vitesse de rotation du plateau (3 à 4 ms pour des vitesses de 10800 à 7200 tr/mn).
- Débit de pointe.
- Rapidité du contrôleur de disque (interface IDE, SCSI ou ATA) et adaptation du protocole ainsi que la taille des caches (ou buffers).

La structure logique est aussi spécifique. L'organisation en piste et secteurs est appelée le formatage. Il s'effectue en 3 étapes:

- 1) Le formatage de bas niveau permet d'organiser la surface du disque en éléments simples (pistes et secteurs). Il est effectué en usine lors de la fabrication du disque.
- 2) Le partitionnement (fait par l'utilisateur), il permet, entre autre, à plusieurs types de systèmes d'exploitation d'utiliser le même disque dur ou bien à un seul système d'exploitation d'utiliser ce disque sous forme de plusieurs volumes ou plusieurs lecteurs logiques.
- 3) Le formatage de haut niveau (fait par l'utilisateur : FAT32, NTFS). Il représente une différence de format et de gestion du placement des données donc des fichiers.

II.2.2.2 Disques optiques :

Le disque optique numérique résulte du travail mené par de nombreux constructeurs depuis 1970. La terminologie varie selon la technologie employée (CD, CD-ROM, CDR, CDRW, DVD, DVD-ROM, DVDRW, etc.) Le CD a été inventé en 1981 (Sony, Philips) dans le but de fournir un support audio et vidéo de haute qualité.

II.2.2.2.1 Principe du CD-ROM:

Un CR-ROM (Compact Disk) est disque de 12 cm de diamètre composé de plusieurs couches superposées (plastique, métallique et vernis). Le principe de lecture / écriture utilise un rayon infrarouge d'une longueur d'onde de 780 nm qui parcourt la piste organisée en spirale (contrairement au disque dur qui comporte plusieurs pistes). Lors de la lecture, le faisceau laser traverse la couche de plastique (polycarbonate) puis rencontre ou non un creux. Lors d'un passage devant un creux (un plat), la lumière du laser est fortement réfractée (réfléchi), de telle sorte que la quantité de lumière renvoyée est minime, valeur binaire 0 (importante, valeur binaire 1). Pour l'écriture, le graveur, le laser utilisé est 10 fois plus puissant et brûle localement des plages (creux et bosses sont remplacés par des plages brûlées et non brûlées). Les caractéristiques principales sont la vitesse maximale de lecture, de graveur et l'interface associée (IDE, SCSI ou SATA). Il existe dorénavant des améliorations telles que le Burn Proof ou Just Link (suspension de ravure en l'absence de données dans le buffer) et l'Overburning (dépassement léger de capacité).

II.2.2.2.2 Principe du DVD-ROM:

Le DVD-ROM (Digital Versatile Disk) est apparu en 1997 et est principalement dédié à la vidéo.

Il s'agit en fait d'un CD de capacité plus importante. La lecture / écriture est effectuée à partir d'un laser rouge (650 et 635 nm) qui permet d'obtenir des creux plus petit, donc d'augmenter la quantité d'information. Les 2 longueurs d'ondes permettent une lecture / écriture « double couche ».

Un DVD (-RW / +RW) double couche et double face possède une capacité de 17 Go (soit 22 CD!).

II.2.2.3 Conclusion sur les mémoires:

On peut s'orienter vers une hiérarchie de l'ensemble des modes de stockage de la manière suivante:

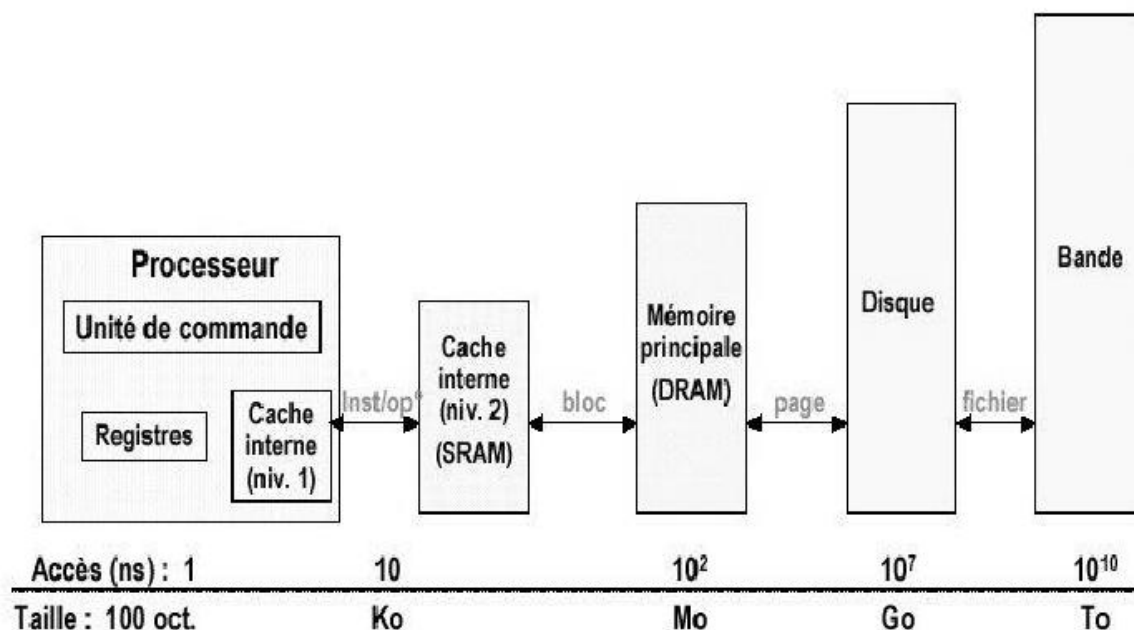


Figure (II.2): Hiérarchie des mémoires.

II.3 Le bus I2C:

II.3.1 Introduction:

II.3.1.1 Présentation et domaine d'application:

Le bus I2C (Inter Integrated Circuit), externe au PC, a été développé au début des années 80 par Philips Semiconductors pour permettre de relier facilement à un microprocesseur les différents circuits d'un téléviseur moderne sans augmenter les coûts. Depuis, des fabricants de plus en plus nombreux ont proposé des circuits intégrés compatibles. D'extension en extension, la vitesse a augmenté, les distances entre les appareils connectés se sont allongées. C'est donc devenu une solution relativement simple de réalisation d'un micro-réseau tri filaire de type série, synchrone, multi-maître à détection de collision avec hot-plugging. Un système utilisant ce bus peut représenter une alternative à bas prix à une liaison RS232 : ACCESS Bus.

Le bus I2C (malgré son caractère série) n'appartient pas aux bus de terrain. Il n'est pas destiné à couvrir de longues distances et ne possède pas l'immunité aux parasites nécessaire. Le bus I2C se charge des communications qui sont (d'ordinaire) assurées par le microprocesseur (plus particulièrement le bus parallèle). Il permet ainsi une économie de place, une décharge du microprocesseur dans la gestion multi-maître des périphériques (qui nécessite donc un arbitrage).

Ce bus est ainsi devenu un standard pour les liaisons lentes des périphériques « grand public ». Il est souvent qualifié de « petit bus » comparativement aux bus parallèles. Toutefois, il possède certaines possibilités inconnues des autres bus :

- Il ne nécessite que 2 fils.
- Il dispose de filtres d'entrée qui rendent inoffensives les impulsions parasites que peuvent véhiculer les 2 fils (SDA et SCL).
- Les composants les plus lents peuvent allonger la période d'horloge pour faire attendre le circuit maître. Beaucoup de microcontrôleurs n'acceptent pas ces cycles d'attente.
- Il possède un protocole qui permet à plusieurs maîtres de partager le bus physique et de communiquer entre eux grâce au système d'arbitrage anticollision. Le bus I2C est alors bien adapté aux systèmes multiprocesseurs.

II.3.1.2 Caractéristiques générales:

Le bus I2C permet de faire communiquer entre eux des composants électroniques très divers grâce à seulement trois fils:

- 1) 2 signaux synchrones : un signal de donnée (SDA : Serial Data Line), un signal d'horloge (SCL : Serial Clock Line).
- 2) un signal de référence électrique (Masse).

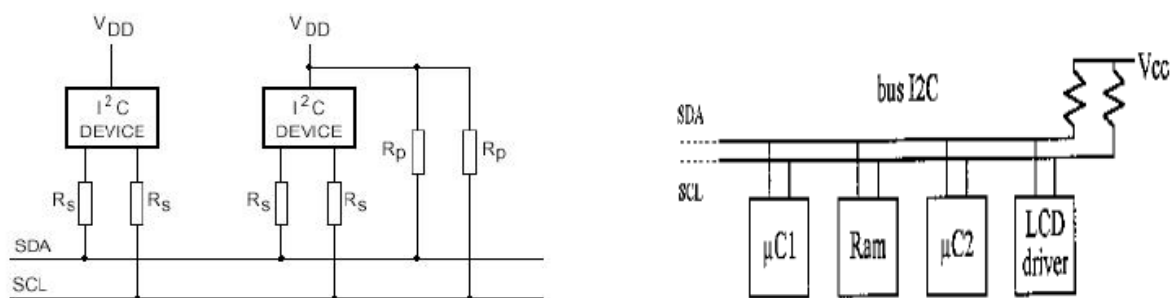


Figure (II.3): Raccordement sur le bus I2C.

Du point de vue électronique, les lignes bidirectionnelles SDA, SCL sont toutes les deux reliées à l'alimentation positive V_{CC} (qui dépend de la technologie des composants: TTL ou CMOS) des circuits par l'intermédiaire de résistances de pull-up (R_P). Ceci permet de maintenir le bus au niveau haut lorsqu'il est libre. L'interface I2C des circuits est toujours à collecteur (bipolaire) ou a drain (MOS) ouverts pour permettre au circuit connecté de ramener le niveau de la ligne à la masse. Le niveau résultant est alors une fonction logique ET de toutes les sorties connectées sur les lignes. R_P limite la charge capacitive et R_S les pics de tension par induction.

De nombreux fabricants ayant adopté ce système, la variété des circuits disponibles disposant d'un port I2C est importante: Ports d'E/S bidirectionnels, Convertisseurs A/N et N/A, Mémoires (RAM, EPROM, EEPROM, etc.), Circuits Audio (Egaliseur, Contrôle de volume, ...) et autre LED, LCD... Le nombre important de circuits intégrés comprenant l'interface I2C offre de multiples avantages aux concepteurs de systèmes électroniques. En effet, l'atout majeur de cette liaison est de pouvoir facilement connecter en parallèle sur le bus de nouveaux éléments ou d'échanger un élément contre un autre sans restructurer le système. En effet, chaque point du bus possède une adresse exclusive (en nombre limité selon la capacité d'adressage).

Le nombre de composants qu'il est ainsi possible de relier est essentiellement limité par la charge capacitive des lignes SDA et SCL : 400 pF au total.

Les données sont transmises en série à 100 Kbits/s (12.5 ko/s) en mode standard et jusqu'à 400 Kbits/s (50 ko/s) en mode rapide, ce qui ouvre la porte de cette technologie à toutes les applications où la vitesse n'est pas primordiale.

I.3.1.3 Nouvelle caractéristiques:

Afin de compenser quelques lacunes des premières spécifications du bus I2C, quelques nouvelles améliorations ont été apportées :

- Le mode rapide : le bus à désormais la capacité de transmettre des données jusqu'à une vitesse de 3.4 Mbits/s (0.425 Mo/s).
- Des entrées à Trigger de Schmitt : afin de limiter la sensibilité au bruit.
- La mise en haute impédance d'un circuit non alimenté : ceci évite de bloquer le bus si un périphérique n'est pas alimenté.
- Extension à 10 bits de l'adressage des circuits : l'adressage d'un circuit se fait maintenant dans deux octets (attention, dans ce cas, la plage d'adressage commence à 0xF000 ! !).

Pour éviter la prise de communication simultanée de plusieurs composants, on utilise un protocole qui permet de définir les règles de communication.

II.3.2 Le protocole I2C:

II.3.2.1 Les 2 modes de fonctionnement:

Le protocole I2C définit la succession des états logiques possibles sur SDA et SCL, et la façon dont doivent réagir les circuits en cas de conflits.

Il existe deux modes d'utilisation du bus :

- Le mode Maître-Esclave : 1 seul circuit dirige la communication : le maître. Dans ce cas, le maître (ou l'esclave) devient tour à tour émetteur ou récepteur selon l'opération effectuée (lecture ou écriture).

- Le mode Multi-Maîtres : plusieurs circuits peuvent prendre la main sur le bus et décider des opérations. Un seul maître est actif à un moment donné.

La distinction entre maître et esclave est importante et n'a rien à voir avec le fait que le composant émet ou reçoit des données. Le maître est celui qui prend l'initiative du transfert, décide du sens de ce transfert et règle la communication en émettant les impulsions d'horloge sur la ligne SCL, les données sur SDA étant générées par le maître ou par l'esclave (suivant le sens de transfert réclamé par le maître). Un maître peut donc être récepteur ou émetteur. Un composant qui prend part à la communication après avoir été appelé par le maître s'appelle esclave.

Le protocole I2C gère la liaison et les conflits éventuels grâce à la fonction logique « ET » entre les lignes et à une procédure d'arbitrage du bus.

II.3.2.2 La validité des données:

Le niveau haut correspond à une valeur supérieure à 3 Volts et le niveau bas inférieure à 1,5 Volts, les niveaux intermédiaires étant indéfinis. Un seul bit est transféré par coup d'horloge. Pour être prises en compte, les données (sur SDA) doivent être stables aussi longtemps que SCL est à l'état haut. Le circuit qui émet les données doit les écrire sur SDA pendant SCL=0, celui qui les lit le fait pendant SCL=1.

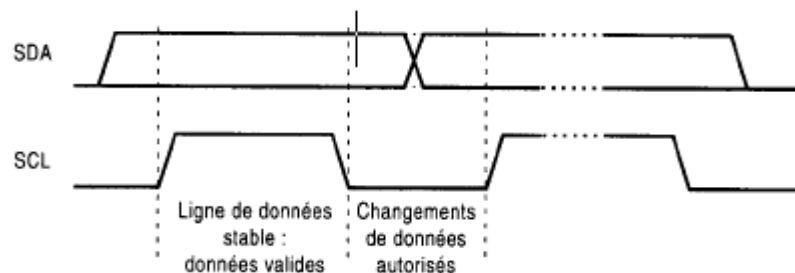


Figure (II.4): Validité des données.

II.3.2.3 Les conditions de début / fin :

Pour prendre le contrôle du bus, il faut tout d'abord que celui-ci soit au repos (SDA=1 et SCL=1) pendant un intervalle suffisant. Pour transmettre des données sur le bus, il faut donc surveiller deux conditions particulières :

1. La condition de départ (notée S) : SDA passe à '0' (front descendant) alors que SCL=1.
2. La condition d'arrêt (notée P) : SDA passe à '1' (front montant) alors que SCL=1.

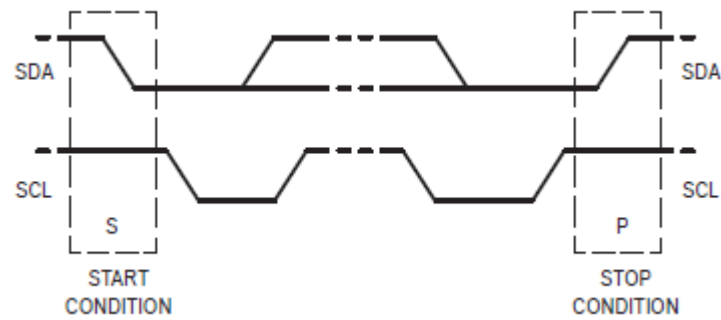


Figure (II.5) : Condition de départ et d'arrêt de transmission de bus I2C.

Lorsqu'un circuit, après avoir vérifié que le bus est libre, prend le contrôle de celui-ci, il en devient le maître. C'est lui qui génère le signal d'horloge. Les autres composants doivent continuer de scruter le bus en attendant la condition de Stop.

Remarque (Ré-Départ): A la fin d'une trame on trouve une condition de stop (P). Le bus redevient libre au bout d'un temps d'environ 4,7 μ s. Pour éviter le risque de perdre la main entre chaque trame, un maître peut utiliser un bit particulier appelé Ré Départ (SR : Repeated Start).

Comme il n'est pas possible de lire et d'écrire en même temps, le bit SR évite 2 opérations qui nécessiteraient une séquence de Start (S) + Stop (P) et lui permet ainsi d'accélérer ses communications puisqu'il n'a pas besoin de renvoyer l'adresse du composant à chaque trame.

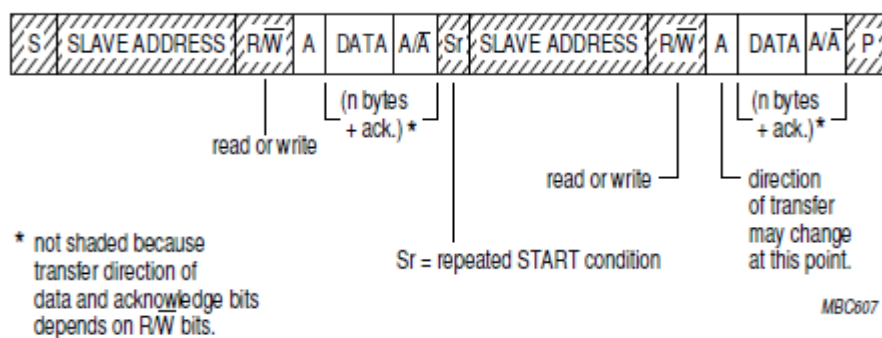


Figure (II.6) : Ré départ SR.

II.3.2.4 La transmission de données d'un octet:

Les conditions de Start et Stop sont imposées par le maître (quel que soit le sens du transfert). Un nombre indéfini d'octets peut être transmis entre un Start et un Stop.

II.3.2.4.1 Accusé de réception:

Chaque octet est transmis sur 9 bits, le 9ème bit servant d'accusé de réception (ACKnowledge).

C'est l'esclave récepteur qui génère le bit ACK après chaque octet reçu du maître émetteur ou bien c'est le maître récepteur qui le génère après chaque octet de l'esclave émetteur. Après avoir imposé la condition de départ, le maître applique sur SDA le bit de poids fort D7 (c'est lui qui est transmis en premier). Il valide ensuite la donnée en appliquant pendant un instant un niveau « 1 » sur la ligne SCL. Lorsque SCL revient à « 0 », il recommence l'opération jusqu'à ce que l'octet complet soit transmis. Il envoie alors un bit ACK à « 1 » tout en scrutant l'état réel de SDA. L'esclave doit alors imposer un niveau « 0 » pour signaler au maître que la transmission s'est effectuée correctement. Les sorties de chacun étant à collecteur ouvert, le maître voit le « 0 » et peut alors passer à la suite.

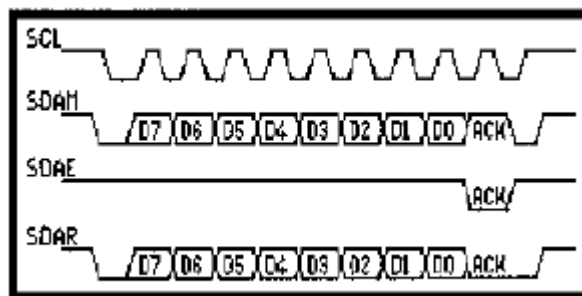


Figure (II.7): Validation de transmission « ACKnowledge ».

II.3.2.4.2 Ecriture d'une donnée:

L'écriture d'une donnée par le maître ne pose pas de problème particulier. Tous les circuits connectés sur le bus détectent la condition Start (par interruption). Seul le circuit reconnaissant son adresse communique ensuite avec le maître.

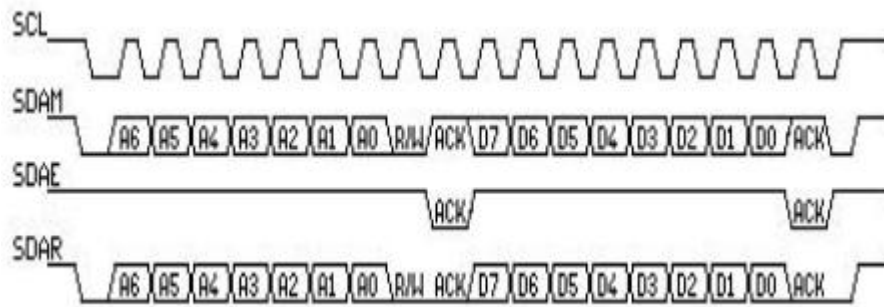


Figure (II.8) : Ecriture simple (1 octet).

Remarque (Pause): L'écriture d'un octet dans certains composants (mémoires, microcontrôleur) ou peut prendre un certain temps. De même, la lecture peut nécessiter un temps d'attente (fin de conversion pour CNA-CAN). Il est donc possible que le maître soit obligé d'attendre l'acquittement ACK avant de passer à la suite : puisqu'il est maître de l'horloge, il fait donc une pause de la manière suivante :

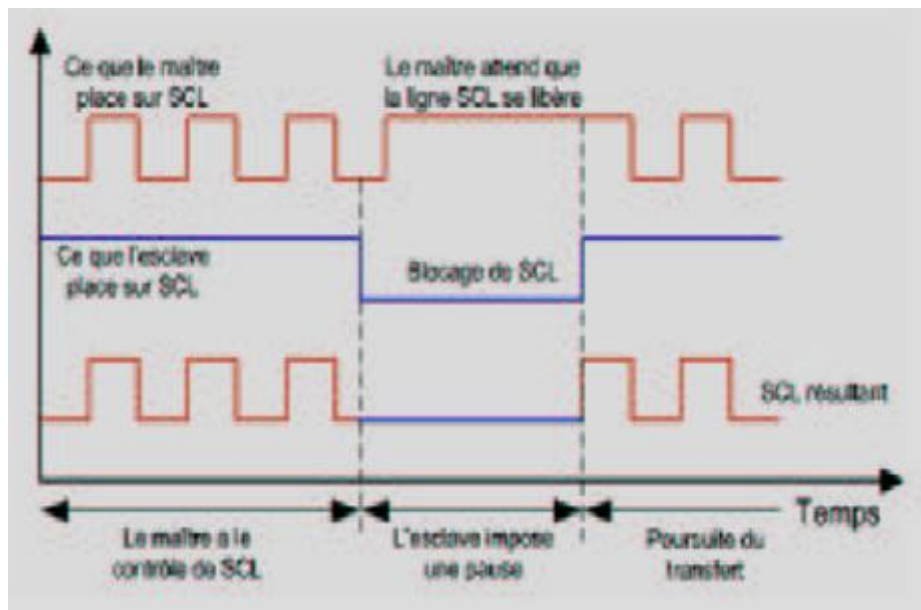


Figure (II.9) : Pause.

II.3.2.4.3 Lecture d'une donnée:

La lecture d'une donnée par le maître se caractérise par l'utilisation spéciale qui est faite du bit ACK. Après la lecture d'un octet, le maître positionne ACK à «0» s'il veut lire la donnée suivante (cas d'une mémoire par exemple) ou à «1» le cas échéant. Il envoie ensuite la condition d'arrêt.

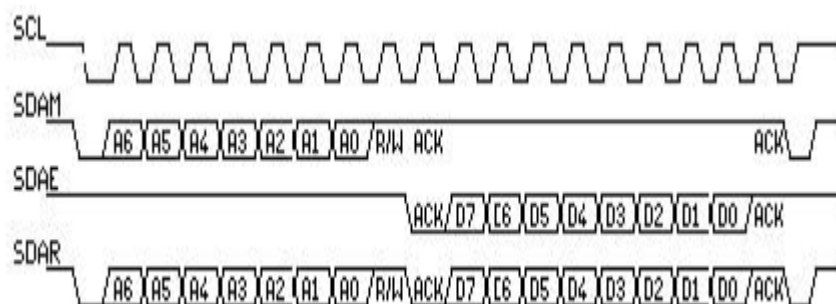


Figure (II.10): Lecture simple (1 octet).

II.3.3 La gestion des conflits:

II.3.3.1 La synchronisation:

Tous les maîtres produisent leurs impulsions d'horloge de manière autonome. La configuration de la ligne SCL en « ET » câblé permet à des maîtres concurrents de synchroniser leurs impulsions d'horloge. Un maître qui émet un niveau bas relâche la ligne à un moment donné pour la remettre au niveau haut. À partir de cet instant, il relit le niveau de la ligne et reste attend qu'il soit effectivement passé à « 1 ». Ainsi, aussi longtemps qu'un autre circuit maintient la ligne au niveau bas, la ligne reste effectivement au niveau bas et le maître est bloqué. Le résultat est que le bus se synchronise sur la période la plus basse, donc le circuit le plus lent (qui peut être un maître lent ou bien un esclave qui a besoin de temps d'attente).

II.3.3.2 L'arbitrage:

II.3.3.2.1 Contexte:

La structure même du bus I2C a été conçue pour pouvoir y accueillir plusieurs maîtres. Se pose alors le problème commun à tous les réseaux utilisant un canal de communication unique :

Le contrôle du bus. En effet, chaque maître pouvant prendre possession du bus dès que celui-ci est libre, il existe la possibilité que deux maîtres désirent prendre la main en même temps. Si cela ne pose pas de problème sur le plan électrique grâce à l'utilisation de collecteurs ouverts, il faut pouvoir détecter cet état pour éviter la corruption des données transmises.

II.3.3.2.2 Principe:

Comme nous l'avons vu précédemment, pour prendre le contrôle du bus, un maître potentiel doit d'abord vérifier que celui-ci soit libre et qu'une condition d'arrêt a bien été envoyée depuis au moins 4,7 μ s. Mais il reste la possibilité que plusieurs maîtres prennent le contrôle du bus simultanément.

Le mécanisme est le même que celui de la synchronisation des horloges. Un maître qui émet un état haut et relit un état bas reconnaît qu'un autre maître utilise le bus et perd le contrôle du bus donc cesse sa transmission.

Chaque circuit vérifie en permanence l'état des lignes SDA et SCL y compris lorsqu'ils sont eux même en train d'envoyer des données. On distingue alors plusieurs cas :

- Les différents maîtres envoient les mêmes données au même moment : les données ne sont pas corrompues, la transmission s'effectue normalement, comme si un seul maître avait parlé. Ce cas est très rare, voire impossible.
- Un maître impose un « 0 » sur le bus: il relira forcément « 0 » et continuera à transmettre. Il ne peut pas alors détecter un éventuel conflit.
- Un maître cherche à appliquer un « 1 » sur le bus : s'il ne relit pas un niveau « 1 », c'est qu'un autre maître a pris la main en même temps. Le premier perd alors immédiatement le contrôle du bus, pour ne pas perturber la transmission du second. Il continue néanmoins à lire les données au cas où celles-ci lui auraient été destinées.

II.3.3.2.3 Mise en situation:

Soit le chronogramme suivant:

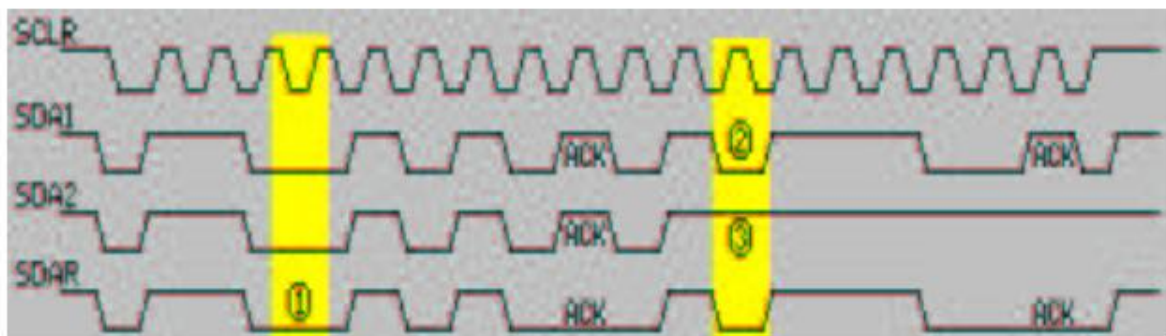


Figure (II.11): Exemple de collision (ou conflit).

Avec SCLR : Horloge résultante, SDA 1 : SDA maître 1, SDA 2 : SDA maître 2, SDA R : SDA réel résultant (lus par les deux maîtres).

II.3.3.2.4 Analyse:

Le premier octet est transmis normalement car les deux maîtres imposent les mêmes données (Cas 1). Le bit ACK est mis à « 0 » par l'esclave. Lors du deuxième octet, le maître 2 cherche à imposer un « 1 » (SDA2), mais relit un « 0 » (SDAR), il perd alors le contrôle du bus

et devient esclave (Cas 3). Il reprendra le contrôle du bus lorsque celui-ci sera de nouveau libre. Le maître 1 ne voit pas le conflit et continue à transmettre normalement (Cas 2). En conclusion, l'esclave a reçu les données du maître 1 sans erreurs et le conflit est passé inaperçu.

Remarque (Arbitrage et collisions): À partir du mécanisme d'arbitrage, on peut déduire 3 conséquences :

1. Les adresses les plus faibles sont prioritaires sur les plus élevées. Dans la construction d'un système I2C à plusieurs esclaves, les esclaves les plus prioritaires se verront affecter l'adresse les plus basses.
2. En cas d'adresse identiques, l'écriture possède la priorité sur la lecture (car le bit R/W=0).
3. Les collisions sont dites « non destructives » puisque la donnée prioritaire arrive intacte au destinataire.

II.3.4 L'adressage des composants:

II.3.4.1 Généralités:

Le nombre de composants qu'il est possible de connecter sur un bus I2C étant largement supérieur à deux, il est nécessaire de définir pour chacun une adresse unique.

Au cours d'une transmission, le maître commence toujours à sélectionner un esclave à l'aide d'une adresse et par indiquer à l'esclave le sens de transmission à l'aide du bit R/W.

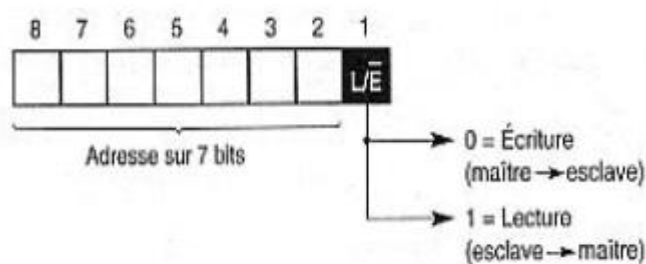


Figure (II.12): Sens du transfert « lecture ou écriture ».

II.3.4.2 Adressage standard:

L'adresse d'un circuit est codée sur 7 bits complétés par un bit R/W qui permet au maître de signaler s'il veut lire ou écrire une donnée. Le bit d'acquittement ACK fonctionne comme pour une donnée, ceci permet au maître de vérifier si l'esclave est disponible ou que l'adresse n'est pas celle d'un composant présent.

Le 1^{er} octet d'une trame de dialogue comprend ainsi une adresse d'esclave sur 7 bit (128 composants adressables) et un 8^{ème} bit R/W précisant si le maître veut émettre ou recevoir les données.

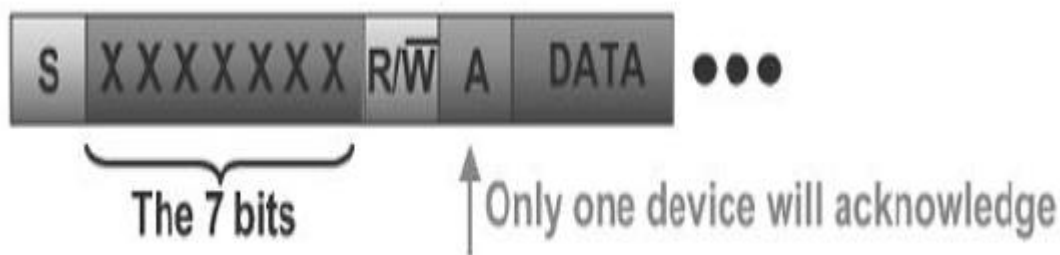


Figure (II.13): Adressage standard (7 bits).

II.3.4.3 Adresses réservées:

Certaines adresses ne sont pas utilisées pour l'adressage de composants, ce qui en restreint le nombre total. Attention : 2 cas possibles selon adressage 7 bits ou bien 10 bits.

adresse	fonction	description
0000 0000	Appel général	Après l'émission d'un appel général, les circuits ayant la capacité de traiter ce genre d'appel émettent un acquittement. Le deuxième octet permet de définir le contenu de l'appel.
0000 0001	Octet de start	Pour synchroniser les périphériques lents avec les rapides.
0000 001x	Protocol Cbus	Tous les circuits I2C deviennent « sourds ». On peut transmettre ce que l'on veut sur le bus. Retour à la normale dès détection d'une condition d'arrêt.
0000 010x	Autres protocoles	Pour assurer une compatibilité avec des autres protocoles.
0000 0110	Reset	Remet tout les registres des circuits connectés dans leur état initial (équivalent à celui lors de la mise sous tension). Les circuits qui en sont capables rechargent leur adresse d'esclave.
0000 0111	Réservé pour usage futur	Exemple : débogage réseau.
0000 1xxx	High speed	Passage en mode High Speed (3.4 Mbits /s).
1111 0xxx	Adressage étendu	Utilisées en adressage 10 bits.
1111 1xxx	Réservé pour usage futur	

Tableau (II.1): Adresses réservées pour le bus I2C.

II.3.5 Mode de transfert en adressage standard:

II.3.5.1 Ecriture du maître:

Le maître positionne le bit R/W à « 0 » pour signifier l'écriture. Le premier ACK vient de l'esclave pour la bonne réception de l'adresse et les ACK suivant signifient la bonne réception

par l'esclave des données à écrire. Lorsque la dernière donnée est écrite, l'esclave envoie ACK puis le maître termine par P:

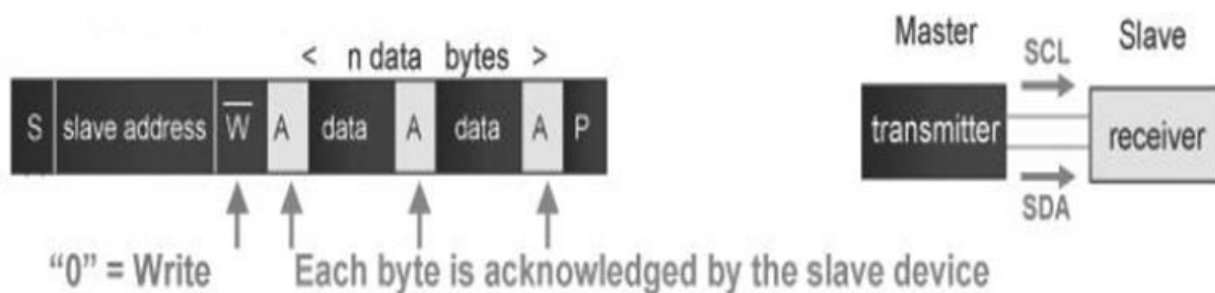


Figure (II.14): Ecriture multiple.

II.3.5.2 Lecture du maître:

Le maître positionne le bit R/W à « 1 » pour signifier la lecture. Le premier ACK vient de l'esclave pour la bonne réception de l'adresse et les ACK suivants viennent du maître après chaque donnée lue. Lorsque le maître a finir de lire, il envoie NAK puis P :

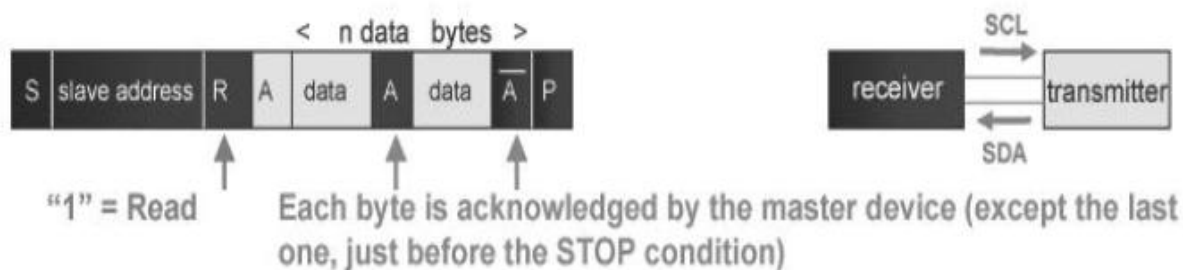


Figure (II.15): Lecture multiple.

II.3.5.3 Format combiné:

Le format combiné (lecture / écriture ou bien écriture / lecture) nécessite d'inverser le sens du transfert et donc l'utilisation du bit SR (Repeated Start):

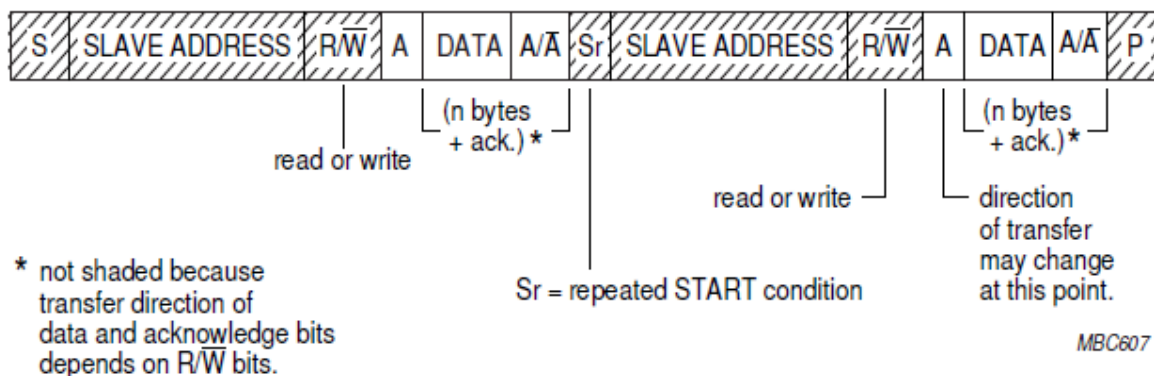


Figure (II.16): Format combiné.

II.3.5.4 Cas particuliers:

II.3.5.4.1 Les mémoires:

Cas particulier des mémoires : L'espace adressable d'un circuit de mémoire étant sensiblement plus grand que la plupart des autres types de circuits, l'adresse d'une information y est codée sur deux octets ou plus. Le premier représente toujours l'adresse (physique) du circuit et les suivants l'adresse interne de la mémoire.

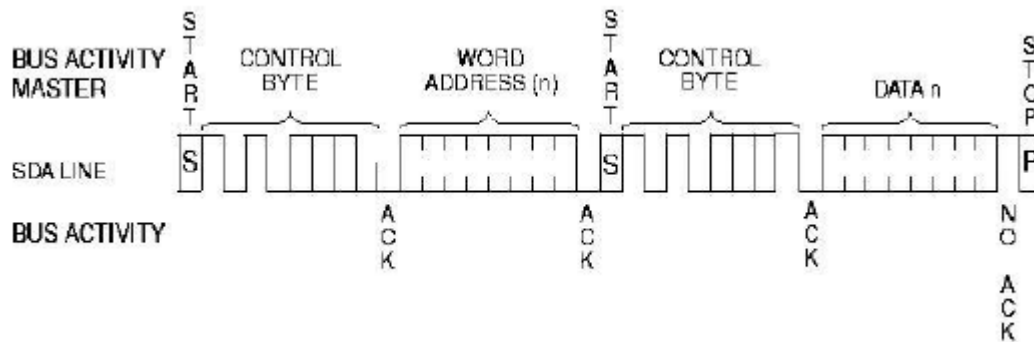


Figure (II.17): Exemple de lecture d'une mémoire (24C02A).

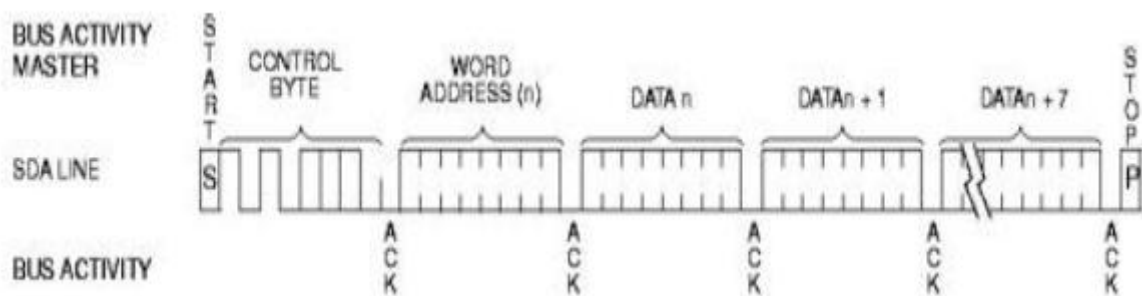


Figure (II.18): Exemple d'écriture d'une page dans une mémoire (24C02A).

II.3.6 Mode de transfert en adressage étendu:

II.3.6.1 Adressage étendu :

Ce mode est entièrement compatible avec le mode standard (il est donc possible de mélanger des composants standard avec des composants étendus). Le principe repose sur le fait qu'il faut envoyer 2 octets pour avoir une adresse sur 10 bits. Le premier comporte une combinaison de bits particulière (de la forme 1111 0xx). Ici « xx » représentent les 2 bits de poids fort de l'adresse. Les 8 bits de poids faibles constituent le 2^{ème} octet.

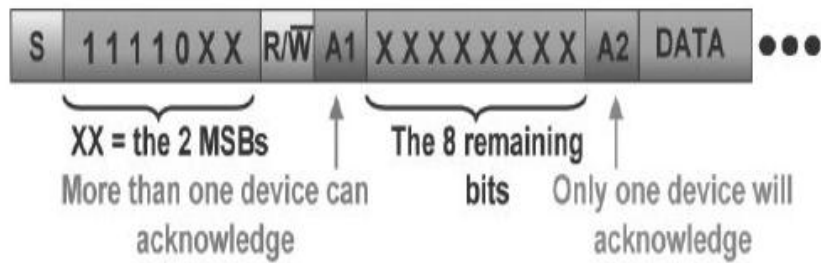


Figure (II.19): Adressage étendu (10 bits).

II.3.6.2 Écriture du maître:

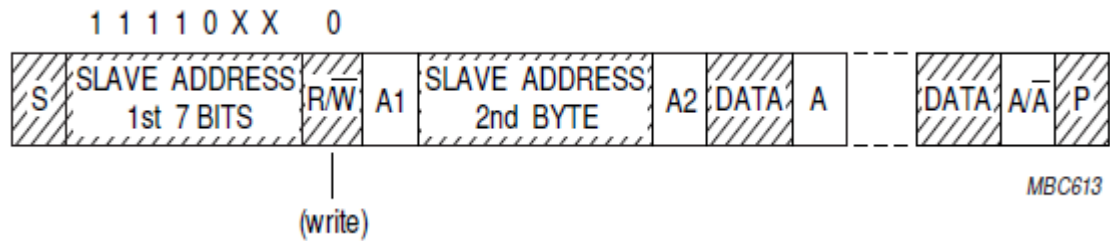


Figure (II.20): Ecriture en mode étendu.

II.3.6.3 Lecture du maître :

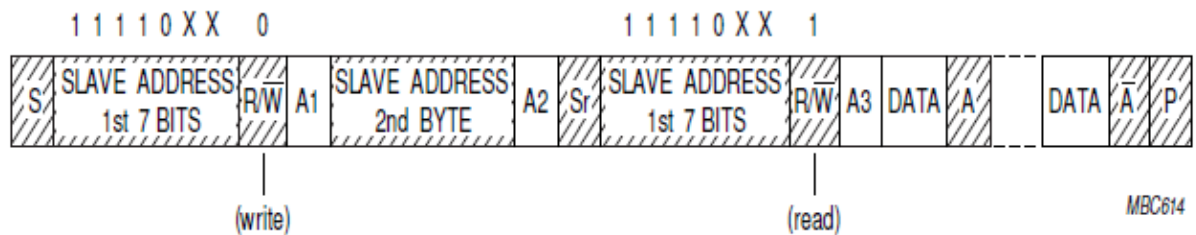


Figure (II.21): Lecture en mode étendu.

II.3.6.4 Formats combines:

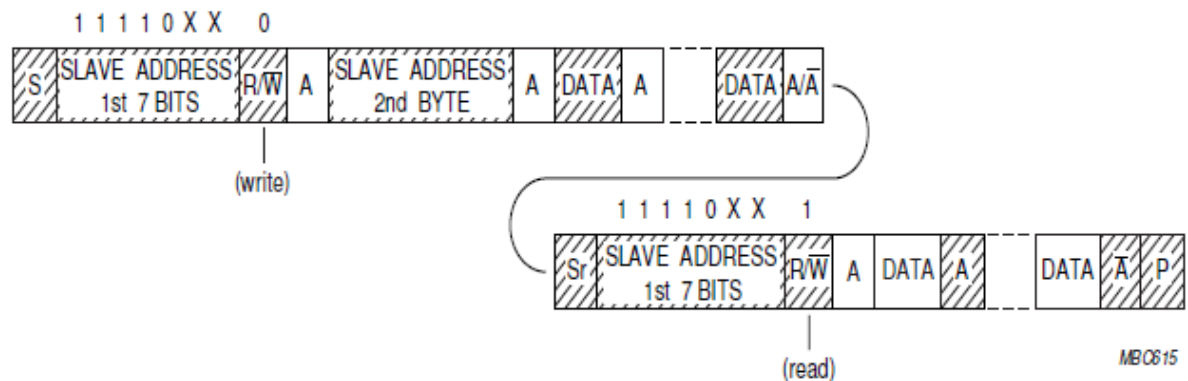


Figure (II.22): Ecriture puis lecture en mode étendu.

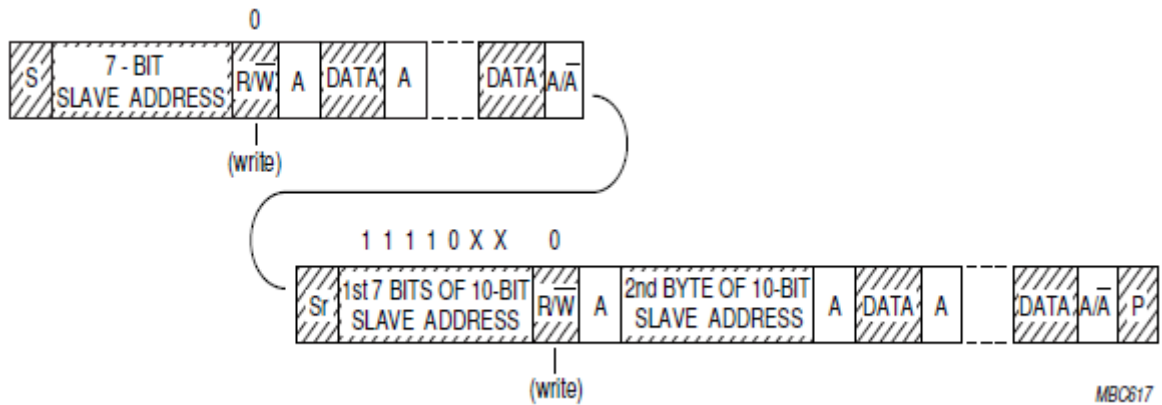


Figure (II.23): Ecriture en mode standard puis étendu.

II.4 Les EEPROMs série 24C01A/02A/04A/08A/16A:

II.4.1 Introduction:

Les EEPROM série sont des mémoires mortes électriquement effaçables qui sont utilisées de plus en plus dans l'industrie actuelle à cause de leurs coûts économiques, leurs tailles et leurs surprenantes capacités à stocker des informations.

II.4.2 L'EEPROM 24C16A:

La 24C16A est une EEPROM de capacité de 16 Kbits (2Koctets) elle est compatible I2C, sa structure interne (selon Microchip) est donnée dans la figure ci-dessous :

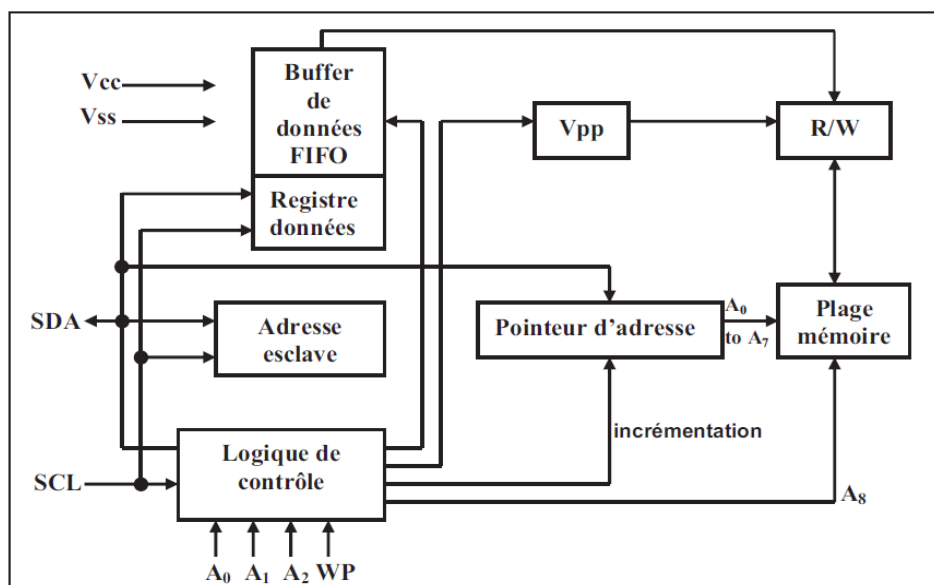


Figure (II.24): Structure interne de la 24C16 (micro chip).

• Organisation de la mémoire :

La mémoire interne de la 24C16 est organisée en 8 blocs de pages adressables, chaque bloc de page contient 256 octets adressables aussi, ce qui nous donne un total de 2048 octets (2Ko).

II.4.3 L'EEPROM "24C01A, 24C02A, 24C04A, 24C08A":

II.4.3.1 Dispositifs:

- Basse technologie de la puissance CMOS.
- Protection contre l'écriture de matériel.
- Autobus d'interface série de deux fils, I²C™ compatible.
- Seulement opération 5.0v.
- Individu-chronométré écrivez le cycle (comprenant automobile-effacez).
- Page-écrivez l'amortisseur.
- 1ms écrivent la durée de cycle pour l'octet simple.
- 1.000.000 cycles d'effacer/écrive garantis.
- Conservation de données > 200 ans.
- Paquets des 8-goupilles DIP/soic.
- Disponible pour les températures ambiantes prolongées.
 - Film publicitaire (c): 0°C à +70°C
 - Industriel (i): -40°C à +85°C
 - Des véhicules à moteur (e): -40°C à +125°C.

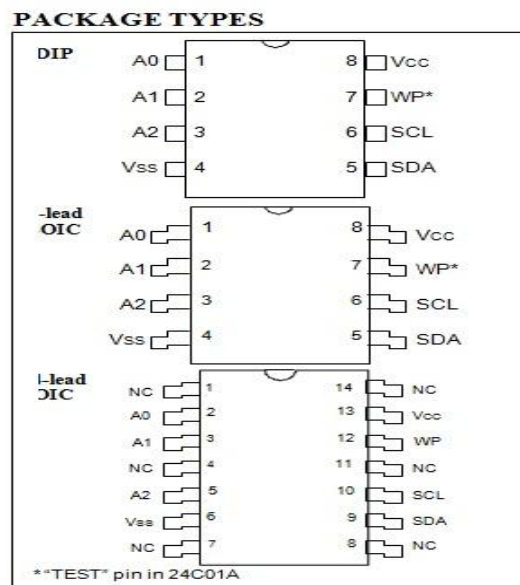


Figure (II.25): Type de paquet.

II.4.3.2 Description:

Les mémoires 24C01A/02A/04A sont des EEPROMs effaçables du peu **1K/2k/4k** électriquement. Le dispositif est organisé comme montré, avec une interface série standard de deux fils. La technologie avancée de CMOS permet une réduction significative de puissance au-dessus des dispositifs de publication périodique de NMOS. Usage spécial dans le 24C02A et le 24C04A fournit le matériel écrivent la protection pour la moitié supérieure du bloc. Les 24C01A et les 24C02A font écrire une page des possibilités de deux octets et le 24C04A à une longueur de page de huit octets. Jusqu'à huit dispositifs 24C01A ou 24C02A et jusqu'à quatre dispositifs 24C04A peuvent être reliés au même autobus de deux fils.

Ce dispositif offre le octet (1ms) rapide écrivent et prolongé (-40 °C à 125°C l'opération de la température). Il est recommandé que toutes autres applications emploient Le **24LCXXB**.

	24C01A	24C02A	24C04A
Organization	128 x 8	256 x 8	2 x 256 x 8
Write Protect	None	080-OFF	100-1FF
Page Write Buffer	2 Bytes	2 Bytes	8 Bytes

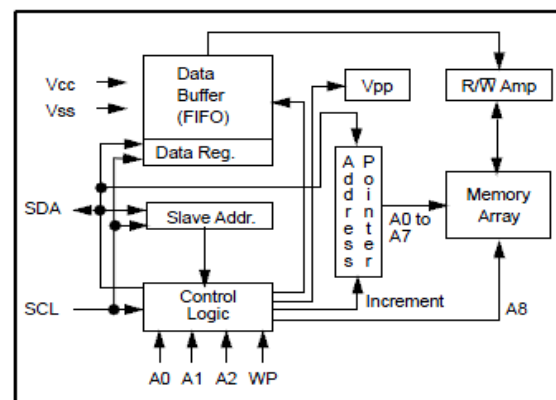


Figure (II.26): Schéma fonctionnel.

Name	Function
A0	No Function for 24C04A only, Must be connected to Vcc or Vss
A0, A1, A2	Chip Address Inputs
Vss	Ground
SDA	Serial Address/Data I/O
SCL	Serial Clock
TEST	(24C01A only) Vcc or Vss
WP	Write Protect Input
Vcc	+5V Power Supply

Tableau (II.2): Tableau de fonction de pins.

II.4.3.3 Caractéristique électrique:

Estimations Maximum:

* V _{CC}	7.0V
* Toutes les entrées et sorties w. r. t. V solides solubles	-0.6v à V _{cc} +1.0v
* La température de stockage.....	-65°C à +150°C
* La température ambiante avec la puissance s'est appliquée...	-65°C à +125°C
* La température de soudure des fils (10 secondes).....	+300°C
* Protection d'ESD sur toutes les goupilles.....	4 kV

Notification: Les efforts au-dessus de ceux ont énuméré sous " des estimations maximum " peut endommager permanent le dispositif. C'est une estimation d'effort seulement et fonctionnement fonctionnel du dispositif à ceux ou à quels d'autres conditions au-dessus de ceux indiqués dans les listes opérationnelles de ces spécifications n'est pas impliqué. Exposition à l'estimation maximum les conditions pendant des périodes prolongées peuvent affecter la fiabilité de dispositif.